

Docket No. 247953US2S



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yoshiaki TAKEUCHI, et al.

GAU: 2818

SERIAL NO: 10/762,459

EXAMINER:

FILED: January 23, 2004

FOR: ASYNCHRONOUS PSEUDO SRAM AND ACCESS METHOD THEREFOR

**SUBMISSION NOTICE REGARDING PRIORITY DOCUMENT(S)**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Certified copies of the Convention Application(s) corresponding to the above-captioned matter:

☒ are submitted herewith

☐ were filed in prior application filed

☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Eckhard H. Kuesters

Registration No. 28,870

Joseph Scafetta, Jr.

Registration No. 26,803

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 11/04)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日                      2 0 0 3 年    9 月 3 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 4 0 5 8 9  
Application Number:

[ST. 10/C] :                      [ J P 2 0 0 3 - 3 4 0 5 8 9 ]

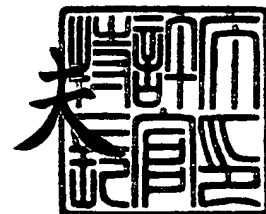
出 願 人                      株式会社東芝  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年    1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号    出証特 2 0 0 3 - 3 1 1 1 4 2 5

【書類名】 特許願  
【整理番号】 A000303060  
【提出日】 平成15年 9月30日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/76  
H01L 27/10

【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内  
【氏名】 竹内 義昭

【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内  
【氏名】 及川 恒平

【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝

【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181

【選任した代理人】  
【識別番号】 100091351  
【弁理士】  
【氏名又は名称】 河野 哲

【選任した代理人】  
【識別番号】 100088683  
【弁理士】  
【氏名又は名称】 中村 誠

【選任した代理人】  
【識別番号】 100108855  
【弁理士】  
【氏名又は名称】 蔵田 昌俊

【選任した代理人】  
【識別番号】 100084618  
【弁理士】  
【氏名又は名称】 村松 貞男

【選任した代理人】  
【識別番号】 100092196  
【弁理士】  
【氏名又は名称】 橋本 良郎

【手数料の表示】  
【予納台帳番号】 011567  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

メモリセルアレイと、

前記メモリセルアレイのアドレスを指示するアドレス信号が入力されるアドレスバッファと、

前記アドレスバッファから出力されるアドレス信号をラッチするラッチ回路と、

前記ラッチ回路にラッチされたアドレスと異なったアドレスが入力されたときに、前記ラッチ回路にラッチされたアドレス信号の遷移を検知するアドレス遷移検知回路と、

前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を備え、前記アドレスバッファ及び前記ラッチ回路の動作を制御し、前記メモリセルアレイの動作中は前記アドレスバッファから出力される動作開始時点のアドレスを前記ラッチ回路にラッチさせ、サイクル動作中に前記アドレス遷移検知回路でアドレスの遷移が検知されたときには、前記メモリセルアレイの動作終了後に、その時点で前記アドレスバッファに入力されているアドレスを前記ラッチ回路にラッチさせ、前記ラッチ回路にラッチされたアドレスで前記メモリセルアレイの次のサイクル動作を行うように制御する制御回路と

を具備することを特徴とする半導体集積回路装置。

**【請求項 2】**

前記アドレスバッファは、前記制御回路の制御により前記メモリセルアレイの動作開始直前に活性化され、前記ラッチ回路がアドレスをラッチした後、前記メモリセルアレイの動作中は非活性化されることを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 3】**

前記アドレスバッファは、電源の供給／非供給によって活性化／非活性化が制御されることを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 4】**

前記アドレスバッファと前記ラッチ回路との間に設けられ、前記制御回路から出力される第 1 の制御信号により導通／非導通制御されるスイッチを更に具備し、

前記スイッチの導通／非導通状態に応じて前記アドレスバッファと前記ラッチ回路とを接続／非接続状態に設定することを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の半導体集積回路装置。

**【請求項 5】**

前記アドレス遷移検知回路は、前記スイッチを非導通にして、前記アドレスバッファと前記ラッチ回路とを非接続にした状態でアドレスの遷移を検知することを特徴とする請求項 4 に記載の半導体集積回路装置。

**【請求項 6】**

前記ラッチ回路は、前記制御回路から出力される第 2 の制御信号に応答して前記アドレスバッファの出力信号をラッチする第 1 のラッチ部と、前記制御回路から出力される第 3 の制御信号に応答して前記第 1 のラッチ部の出力信号をラッチし、相補信号を生成する第 2 のラッチ部とを備えることを特徴とする請求項 1 乃至 5 いずれか 1 つの項に記載の半導体集積回路装置。

**【請求項 7】**

前記アドレス遷移検知回路は、前記第 1 のラッチ部の出力信号に基づいてアドレスの遷移を検知することを特徴とする請求項 6 に記載の半導体集積回路装置。

**【請求項 8】**

メモリセルアレイと、

前記メモリセルアレイのロウアドレスを指示するロウアドレス信号が入力されるロウアドレスバッファと、

前記メモリセルアレイのカラムアドレスを指示するカラムアドレス信号が入力されるカラムアドレスバッファと、

外部チップイネーブル信号が入力される CE バッファと、

外部ライトイネーブル信号が入力される WE バッファと、

前記ロウアドレスバッファから出力されるロウアドレス信号をラッチする第1のロウアドレスラッチと、

前記第1のロウアドレスラッチから出力されるロウアドレス信号をラッチし、内部ロウアドレス信号を出力する第2のロウアドレスラッチと、

前記カラムアドレスバッファから出力されるカラムアドレス信号をラッチする第1のカラムアドレスラッチと、

前記第1のカラムアドレスラッチから出力されるカラムアドレス信号をラッチし、内部カラムアドレス信号を出力する第2のカラムアドレスラッチと、

前記第1のロウアドレスラッチから出力されるロウアドレス信号の遷移を検知するロウアドレス遷移検知回路と、

前記第1のカラムアドレスラッチから出力されるカラムアドレス信号の遷移を検知するカラムアドレス遷移検知回路と、

前記CEバッファから出力される外部チップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、

前記WEバッファから出力される外部ライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、

前記ロウアドレス遷移検知回路、前記カラムアドレス遷移検知回路、前記チップイネーブル遷移検知回路、及びライトイネーブル遷移検知回路の検知結果の論理積を取るATD論理積回路と、

前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を備え、前記ATD論理積回路から出力される論理積信号に基づいて、前記メモリセルアレイをアクセスするためのロウ系回路及びカラム系回路を制御するとともに、前記ロウアドレスバッファ、前記カラムアドレスバッファ、前記第1、第2のロウアドレスラッチ、及び前記第1、第2のカラムアドレスラッチを制御し、前記メモリセルアレイの動作中は前記ロウアドレスバッファ及び前記カラムアドレスバッファから出力される動作開始時点のロウアドレス及びカラムアドレスをそれぞれ前記第1、第2のロウアドレスラッチ及び前記第1、第2のカラムアドレスラッチにラッチさせ、サイクル動作中に前記ロウアドレス遷移検知回路でロウアドレスまたは前記カラムアドレス遷移検知回路でカラムアドレスの遷移が検知されたときに、前記メモリセルアレイの動作終了後に、その時点で前記第1のロウアドレスラッチ及び前記第1のカラムアドレスラッチにラッチされているロウアドレス及びカラムアドレスをそれぞれ前記第2のロウアドレスラッチ及び前記第2のカラムアドレスラッチにラッチさせ、前記メモリセルアレイのアクセスを制御する内部CE制御回路と

を具備することを特徴とする半導体集積回路装置。

#### 【請求項9】

前記ロウアドレスバッファ及び前記カラムアドレスバッファはそれぞれ、前記内部CE制御回路の制御により前記メモリセルアレイの動作開始直前に活性化され、前記第1のロウアドレスラッチ及び前記第1のカラムアドレスラッチがそれぞれロウアドレス信号とカラムアドレス信号をラッチした後、前記メモリセルアレイの動作中は非活性化されることを特徴とする請求項8に記載の半導体集積回路装置。

#### 【請求項10】

前記ロウアドレスバッファ及び前記カラムアドレスバッファはそれぞれ、前記内部CE制御回路から出力される第1の制御信号に応答して電源の供給／非供給が制御されることにより活性化／非活性化が制御されることを特徴とする請求項9に記載の半導体集積回路装置。

#### 【請求項11】

前記第1のロウアドレスラッチの入力段に設けられ、前記内部CE制御回路から出力される第1の制御信号により導通／非導通制御される第1のスイッチと、前記第1のカラムアドレスラッチの入力段に設けられ、前記内部CE制御回路から出力される前記第1の制御信号により導通／非導通制御される第2のスイッチとを更に具備し、

前記第1のスイッチの導通／非導通状態に応じて前記ロウアドレスバッファと前記第1

のロウアドレスラッチとを接続／非接続状態に設定し、前記第2のスイッチの導通／非導通状態に応じて前記カラムアドレスバッファと前記第1のカラムアドレスラッチとを接続／非接続状態に設定することを特徴とする請求項8乃至10いずれか1つの項に記載の半導体集積回路装置。

【請求項12】

前記ロウアドレス遷移検知回路と前記カラムアドレス遷移検知回路はそれぞれ、前記第1、第2のスイッチを非導通にして、前記ロウアドレスバッファと前記第1のロウアドレスラッチ、及び前記カラムアドレスバッファと前記第1のカラムアドレスラッチとをそれぞれ非接続にした状態でロウアドレスとカラムアドレスの遷移を検知することを特徴とする請求項11に記載の半導体集積回路装置。

【請求項13】

前記第2のロウアドレスラッチは、前記CE制御回路から出力される第2の制御信号に応答して内部ロウアドレス信号を前記ロウ系回路に供給し、前記第2のカラムアドレスラッチは、前記CE制御回路から出力される第2の制御信号に応答して内部カラムアドレス信号を前記カラム系回路に供給することを特徴とする請求項8乃至12いずれか1つの項に記載の半導体集積回路装置。

【請求項14】

前記メモリセルアレイは、強誘電体セルがマトリックス状に配置されて構成されることを特徴とする請求項1及至13いずれか1つの項に記載の半導体集積回路装置。

【請求項15】

前記メモリセルアレイは、TC並列ユニット直列接続型強誘電体セルがマトリックス状に配置されて構成されることを特徴とする請求項1及至13いずれか1つの項に記載の半導体集積回路装置。

【請求項16】

前記メモリセルアレイは、ダイナミック型セルがマトリックス状に配置されて構成されることを特徴とする請求項1及至13いずれか1つの項に記載の半導体集積回路装置。

【請求項17】

メモリセルアレイと、前記メモリセルアレイのアドレスを指示するアドレス信号が入力されるアドレスバッファと、前記アドレスバッファから出力されるアドレスをラッチするラッチ回路と、前記アドレスの遷移を検知するアドレス遷移検知回路と、前記アドレス遷移検知回路の検知結果に基づいて前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を有する制御回路とを備える半導体集積回路装置のアクセス方法であって、

前記メモリセルアレイの動作中に動作開始時点のアドレスを前記ラッチ回路にラッチするステップと、

サイクル動作中に前記アドレス遷移検知回路でアドレスの遷移を検知するステップと、

アドレスの遷移が検知されたときに、前記メモリセルアレイの動作終了後に、その時点で前記アドレスバッファに入力されているアドレスを前記ラッチ回路にラッチさせるステップと、

前記ラッチ回路にラッチされたアドレスで前記メモリセルアレイの次のサイクル動作を行うステップと

を具備することを特徴とする半導体集積回路装置のアクセス方法。

【請求項18】

メモリセルアレイと、前記メモリセルアレイのロウアドレスを指示するロウアドレス信号が入力されるロウアドレスバッファと、前記メモリセルアレイのカラムアドレスを指示するカラムアドレス信号が入力されるカラムアドレスバッファと、外部チップイネーブル信号が入力されるCEバッファと、外部ライトイネーブル信号が入力されるWEバッファと、前記ロウアドレスバッファから出力されるロウアドレス信号をラッチする第1のロウアドレスラッチと、前記第1のロウアドレスラッチから出力されるロウアドレス信号をラッチし、内部ロウアドレス信号を出力する第2のロウアドレスラッチと、前記カラムアドレスバッファから出力されるカラムアドレス信号をラッチする第1のカラムアドレスラッ

チと、前記第1のカラムアドレスラッチから出力されるカラムアドレス信号をラッチし、内部カラムアドレス信号を出力する第2のカラムアドレスラッチと、前記第1のロウアドレスラッチから出力されるロウアドレス信号の遷移を検知するロウアドレス遷移検知回路と、前記第1のカラムアドレスラッチから出力されるカラムアドレス信号の遷移を検知するカラムアドレス遷移検知回路と、前記CEバッファから出力される外部チップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、前記WEバッファから出力される外部ライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、前記ロウアドレス遷移検知回路、前記カラムアドレス遷移検知回路、前記チップイネーブル遷移検知回路、及びライトイネーブル遷移検知回路の検知結果の論理積を取るATD論理積回路と、前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を備え、前記ATD論理積回路から出力される論理積信号に基づいて、前記メモリセルアレイをアクセスするためのロウ系回路及びカラム系回路を制御するとともに、前記ロウアドレスバッファ、前記カラムアドレスバッファ、前記第1、第2のロウアドレスラッチ、及び前記第1、第2のカラムアドレスラッチを制御する内部CE制御回路とを備える半導体集積回路装置のアクセス方法であって、

メモリセルアレイの動作中は前記ロウアドレスバッファ及び前記カラムアドレスバッファから出力される動作開始時点のロウアドレス及びカラムアドレスをそれぞれ前記第1、第2のロウアドレスラッチ及び前記第1、第2のカラムアドレスラッチにラッチさせるステップと、

サイクル動作中に前記ロウアドレス遷移検知回路でロウアドレスまたは前記カラムアドレス遷移検知回路でカラムアドレスの遷移を検知するステップと、

前記ロウアドレスまたはカラムアドレスの遷移が検知されたときに、前記メモリセルアレイの動作終了後に、その時点で前記第1のロウアドレスラッチ及び前記第1のカラムアドレスラッチにラッチされているロウアドレス及びカラムアドレスをそれぞれ前記第2のロウアドレスラッチ及び前記第2のカラムアドレスラッチにラッチさせるステップと、

前記第2のロウアドレスラッチ及び前記第2のカラムアドレスラッチにラッチされたアドレスで前記メモリセルアレイの次のサイクル動作を行うステップと

を具備することを特徴とする半導体集積回路装置のアクセス方法。

## 【書類名】明細書

## 【発明の名称】半導体集積回路装置及びそのアクセス方法

## 【技術分野】

## 【0001】

本発明は、半導体記憶装置等の半導体集積回路装置及びそのアクセス方法に関し、特にメモリコア部にDRAM（ダイナミック型ランダムアクセスメモリ）あるいは強誘電体メモリを用いた非同期仕様の半導体記憶装置及びそのアクセス方法に関する。

## 【背景技術】

## 【0002】

既存のSRAMと使用上の互換性を保ちつつ集積度を高めるために、メモリコア部にDRAMあるいは強誘電体メモリを用いた擬似SRAMが製品化されている。近年は、携帯電話向けに擬似SRAMの需要が高まっており、外部入力信号に対して非同期でも動作する非同期型擬似SRAMへの要求が強くなっている。

## 【0003】

非同期型の擬似SRAMを実現するためには、図12（a）、（b）のタイミングチャートに示すような動作が必要になる。図12において（a）図は読み出し（Read）動作、（b）図は書き込み（Write）動作を示している。

## 【0004】

図12（a）、（b）に示すような読み出し及び書き込み動作を実現するためには、アドレスの遷移を検知する複数のATDを設け、これらATDによりアドレスの遷移を検知し、検知結果の論理積信号ATDSUMに基づいて、内部回路を制御する内部チップイネーブル信号（内部回路制御信号）INCEを生成する。そして、この内部チップイネーブル信号INCEから時系列的にワード線WLやプレート線PLを駆動する信号を生成し、内部回路の動作を制御するという図13に示すような構成が考えられる。

## 【0005】

すなわち、図13に示す如く、ATD回路（アドレス遷移検知回路）100には、ロウアドレスバッファ回路101から出力されるロウアドレス信号ADxとカラムアドレスバッファ回路102から出力されるカラムアドレス信号ADyとが供給され、ロウアドレスとカラムアドレスの遷移が検知される。このATD回路100による検知結果の論理積信号ATDSUMに基づいて、内部CE制御回路103で内部回路を制御するための内部チップイネーブル信号INCEが生成される。この内部CE制御回路103には、外部チップイネーブル信号／CEが供給されており、上記ロウアドレスバッファ101とカラムアドレスバッファ102の動作が制御される。そして、上記内部CE制御回路103で生成された内部チップイネーブル信号INCEがロウ系回路104及びカラム系回路105に供給され、時系列的にメモリセルアレイ106中のワード線WLやプレート線PLを駆動する信号を生成してデータの読み出しや書き込み（Dout, Din）の動作が制御される。

## 【0006】

ところで、強誘電体メモリやDRAMは、破壊読み出しのメモリであるため、データアクセスの後に、センスアンプのデータをメモリセルに戻して再書き込みする動作が必要である。特に、強誘電体メモリの場合は（後で詳しく述べるが）“1”と“0”のデータを別々に再書き込みする必要がある。

## 【0007】

従って、動作サイクル中にはアドレスを変化させることはできず、TRCminの規定を守ってアドレスを入力しなければならない。また、内部データの破壊や誤動作を防ぐために、この規定外に入力されたアドレスは無視される構成となっている。

## 【0008】

これに対して、SRAMは非破壊読み出しのメモリであるため、読み出し時のアドレスを入力するタイミングに関する規定はなく、任意のタイミングで入力したアドレスに応じて出力が得られる。



## 【0009】

このため、従来の破壊読み出しのメモリでは、この点でSRAMと完全には動作互換性をもたせることができなかった。

## 【0010】

この問題を解決するために、例えば特許文献1には、アドレスの変化が短時間の間隔で続き、最初のアドレス変化による内部動作が完了するまでに次のアドレス変化が起こった際、2回目以降のアドレス変化の情報を内部に一時記憶しておき、最初のアドレス変化による内部動作が完了してから2回目以降のアドレス変化に対応する内部動作を開始できるようにした半導体記憶装置が開示されている。

## 【0011】

また、特許文献2には、コア回路が動作中にアドレス信号が変化したことを記憶しておき、コア回路の動作終了後にラッチ回路に変化後のアドレス信号をラッチさせるラッチタイミング制御回路を備えた半導体記憶装置が開示されている。

## 【0012】

しかしながら、上記特許文献1又は2のいずれの構成でも、サイクル動作中のアドレスの変化を検知するためにアドレスバッファを常に動作状態にしておく必要がある。アドレスバッファはTTL或いはLVTTTLレベルの外部入力信号を内部で用いられている電源のレベルであるMOSレベルに変換しなければならず、常に微少な電流を流しており、且つ20個程度が同時に動作しているため、これを常に動作状態にしておく消費電力が大きくなってしまう。携帯電話向け等の用途には低消費電力が強く求められており、低消費電力で且つ非同期型SRAMと動作互換のある半導体記憶装置の実現が望まれている。

## 【0013】

また、特許文献1の実施例においては、全てのアドレス遷移を受け付けてそれに対応する内部動作を行うため、誤ったデータで一旦動作サイクルに入ってしまうとそのサイクルが終わるまで次の動作サイクルが行われなくなる。このため、正しい動作サイクルに入るまでに最小でも1サイクル分の時間待たなければならず、最悪の場合には正しいデータが入力されるまでに数サイクル分の時間待たなければならない、という問題が起り得る。

## 【0014】

一方、特許文献2の構成では、サイクル動作中のアドレスの変化をあらかじめラッチしておき、コア回路の動作終了後にラッチ回路にその変化後のアドレス信号をラッチし、それを使って次サイクルを開始してしまう。このため、コア回路の動作終了後にさらにアドレスの変化があった場合にはすぐには対応できず、最小でも1サイクル遅れてそのアドレスに対応したデータを読み出すことになる。

【特許文献1】特公平7-70214号公報

【特許文献2】特開2002-150768

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0015】

上記のように、従来の擬似SRAM等の半導体集積回路装置及びそのアクセス方法は、アドレスの入力制限を無くすとアドレスバッファの消費電力が削減できないという問題や、特殊な条件で読み出し動作を行うとサイクルが遅れてしまうという問題があった。

## 【0016】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、アドレスの入力制限をなくしつつ消費電力の削減が図れる半導体集積回路装置及びそのアクセス方法を提供することにある。

## 【課題を解決するための手段】

## 【0017】

本発明の一態様によると、メモリセルアレイと、前記メモリセルアレイのアドレスを指示するアドレス信号が入力されるアドレスバッファと、前記アドレスバッファから出力されるアドレス信号をラッチするラッチ回路と、前記ラッチ回路にラッチされたアドレスと

異なったアドレスが入力されたときに、前記ラッチ回路にラッチされたアドレス信号の遷移を検知するアドレス遷移検知回路と、前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を備え、前記アドレスバッファ及び前記ラッチ回路の動作を制御し、前記メモリセルアレイの動作中は前記アドレスバッファから出力される動作開始時点のアドレスを前記ラッチ回路にラッチさせ、サイクル動作中に前記アドレス遷移検知回路でアドレスの遷移が検知されたときには、前記メモリセルアレイの動作終了後に、その時点で前記アドレスバッファに入力されているアドレスを前記ラッチ回路にラッチさせ、前記ラッチ回路にラッチされたアドレスで前記メモリセルアレイの次のサイクル動作を行うように制御する制御回路とを具備する半導体集積回路装置が提供される。

**【0018】**

また、本発明の一態様によると、メモリセルアレイと、前記メモリセルアレイのロウアドレスを指示するロウアドレス信号が入力されるロウアドレスバッファと、前記メモリセルアレイのカラムアドレスを指示するカラムアドレス信号が入力されるカラムアドレスバッファと、外部チップイネーブル信号が入力されるCEバッファと、外部ライトイネーブル信号が入力されるWEバッファと、前記ロウアドレスバッファから出力されるロウアドレス信号をラッチする第1のロウアドレスラッチと、前記第1のロウアドレスラッチから出力されるロウアドレス信号をラッチし、内部ロウアドレス信号を出力する第2のロウアドレスラッチと、前記カラムアドレスバッファから出力されるカラムアドレス信号をラッチする第1のカラムアドレスラッチと、前記第1のカラムアドレスラッチから出力されるカラムアドレス信号をラッチし、内部カラムアドレス信号を出力する第2のカラムアドレスラッチと、前記第1のロウアドレスラッチから出力されるロウアドレス信号の遷移を検知するロウアドレス遷移検知回路と、前記第1のカラムアドレスラッチから出力されるカラムアドレス信号の遷移を検知するカラムアドレス遷移検知回路と、前記CEバッファから出力される外部チップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、前記WEバッファから出力される外部ライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、前記ロウアドレス遷移検知回路、前記カラムアドレス遷移検知回路、前記チップイネーブル遷移検知回路、及びライトイネーブル遷移検知回路の検知結果の論理積を取るATD論理積回路と、前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を備え、前記ATD論理積回路から出力される論理積信号に基づいて、前記メモリセルアレイをアクセスするためのロウ系回路及びカラム系回路を制御するとともに、前記ロウアドレスバッファ、前記カラムアドレスバッファ、前記第1、第2のロウアドレスラッチ、及び前記第1、第2のカラムアドレスラッチを制御し、前記メモリセルアレイの動作中は前記ロウアドレスバッファ及び前記カラムアドレスバッファから出力される動作開始時点のロウアドレス及びカラムアドレスをそれぞれ前記第1、第2のロウアドレスラッチ及び前記第1、第2のカラムアドレスラッチにラッチさせ、サイクル動作中に前記ロウアドレス遷移検知回路でロウアドレスまたは前記カラムアドレス遷移検知回路でカラムアドレスの遷移が検知されたときに、前記メモリセルアレイの動作終了後に、その時点で前記第1のロウアドレスラッチ及び前記第1のカラムアドレスラッチにラッチされているロウアドレス及びカラムアドレスをそれぞれ前記第2のロウアドレスラッチ及び前記第2のカラムアドレスラッチにラッチさせ、前記メモリセルアレイのアクセスを制御する内部CE制御回路とを具備する半導体集積回路装置が提供される。

**【0019】**

更に、本発明の一態様によると、メモリセルアレイと、前記メモリセルアレイのアドレスを指示するアドレス信号が入力されるアドレスバッファと、前記アドレスバッファから出力されるアドレスをラッチするラッチ回路と、前記アドレスの遷移を検知するアドレス遷移検知回路と、前記アドレス遷移検知回路の検知結果に基づいて前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を有する制御回路とを備える半導体集積回路装置のアクセス方法であって、前記メモリセルアレイの動作中に動作開始時点のアドレスを前記ラッチ回路にラッチするステップと、サイクル動作中に前記アドレス遷移検知回路でアドレスの遷移を検知するステップと、アドレスの遷移が検知されたときに、前記メモ

リセルアレイの動作終了後に、その時点で前記アドレスバッファに入力されているアドレスを前記ラッチ回路にラッチさせるステップと、前記ラッチ回路にラッチされたアドレスで前記メモリセルアレイの次のサイクル動作を行うステップとを具備する半導体集積回路装置のアクセス方法が提供される。

#### 【0020】

更にまた、本発明の一態様によると、メモリセルアレイと、前記メモリセルアレイのロウアドレスを指示するロウアドレス信号が入力されるロウアドレスバッファと、前記メモリセルアレイのカラムアドレスを指示するカラムアドレス信号が入力されるカラムアドレスバッファと、外部チップイネーブル信号が入力されるCEバッファと、外部ライトイネーブル信号が入力されるWEバッファと、前記ロウアドレスバッファから出力されるロウアドレス信号をラッチする第1のロウアドレスラッチと、前記第1のロウアドレスラッチから出力されるロウアドレス信号をラッチし、内部ロウアドレス信号を出力する第2のロウアドレスラッチと、前記カラムアドレスバッファから出力されるカラムアドレス信号をラッチする第1のカラムアドレスラッチと、前記第1のカラムアドレスラッチから出力されるカラムアドレス信号をラッチし、内部カラムアドレス信号を出力する第2のカラムアドレスラッチと、前記第1のロウアドレスラッチから出力されるロウアドレス信号の遷移を検知するロウアドレス遷移検知回路と、前記第1のカラムアドレスラッチから出力されるカラムアドレス信号の遷移を検知するカラムアドレス遷移検知回路と、前記CEバッファから出力される外部チップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、前記WEバッファから出力される外部ライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、前記ロウアドレス遷移検知回路、前記カラムアドレス遷移検知回路、前記チップイネーブル遷移検知回路、及びライトイネーブル遷移検知回路の検知結果の論理積を取るATD論理積回路と、前記メモリセルアレイのサイクル動作を制御するタイムアウト回路を備え、前記ATD論理積回路から出力される論理積信号に基づいて、前記メモリセルアレイをアクセスするためのロウ系回路及びカラム系回路を制御するとともに、前記ロウアドレスバッファ、前記カラムアドレスバッファ、前記第1、第2のロウアドレスラッチ、及び前記第1、第2のカラムアドレスラッチを制御する内部CE制御回路とを備える半導体集積回路装置のアクセス方法であって、メモリセルアレイの動作中は前記ロウアドレスバッファ及び前記カラムアドレスバッファから出力される動作開始時点のロウアドレス及びカラムアドレスをそれぞれ前記第1、第2のロウアドレスラッチ及び前記第1、第2のカラムアドレスラッチにラッチさせるステップと、サイクル動作中に前記ロウアドレス遷移検知回路でロウアドレスまたは前記カラムアドレス遷移検知回路でカラムアドレスの遷移を検知するステップと、前記ロウアドレスまたはカラムアドレスの遷移が検知されたときに、前記メモリセルアレイの動作終了後に、その時点で前記第1のロウアドレスラッチ及び前記第1のカラムアドレスラッチにラッチされているロウアドレス及びカラムアドレスをそれぞれ前記第2のロウアドレスラッチ及び前記第2のカラムアドレスラッチにラッチさせるステップと、前記第2のロウアドレスラッチ及び前記第2のカラムアドレスラッチにラッチされたアドレスで前記メモリセルアレイの次のサイクル動作を行うステップとを具備する半導体集積回路装置のアクセス方法が提供される。

#### 【0021】

上記のような構成並びに方法によれば、アドレスの入力制限をなくしつつ消費電力の削減が図れる。

#### 【発明の効果】

#### 【0022】

本発明によれば、アドレスの入力制限をなくしつつ消費電力の削減が図れる半導体集積回路装置及びそのアクセス方法が得られる。

#### 【発明を実施するための最良の形態】

#### 【0023】

以下、本発明の実施の形態について図面を参照して説明する。

#### 〔第1の実施の形態〕

図1乃至図6はそれぞれ、本発明の第1の実施の形態に係る半導体集積回路装置及びそのアクセス方法について説明するためのもので、図1は非同期仕様の半導体記憶装置（擬似SRAM）の要部を抽出して構成例を示している。また、図2は図1の擬似SRAMの動作波形を示すタイミングチャートである。図3は上記図1に示したメモリセルアレイ中のメモリセルの構成例について説明するためのもので、等価回路とその動作波形を示すタイミングチャートである。図4は上記図3に示した強誘電体キャパシタの印加電圧と残留分極との関係（ヒステリシス特性）の一例を示している。更に、図5は図1に示した擬似SRAMにおけるアドレスバッファ及びラッチ回路の具体的な構成例であり、図6はその動作波形を示すタイミングチャートである。

#### 【0024】

図1に示す如く、擬似SRAMは、入力回路及びATD回路28、内部CE制御回路14、内部WE制御回路15、ロウ系制御回路16、カラム系制御回路17、ロウデコーダ及びプレートデコーダ18、メモリセルアレイ19、カラムデコーダ20、DQバッファ21、入出力系制御回路22、読み出しデータラッチ23、書き込みデータラッチ24、データラッチ25、OEバッファ26及びNOR回路27等を含んで構成されている。

#### 【0025】

上記入力回路及びATD回路28は、ロウアドレスバッファ及びラッチ回路29とカラムアドレスバッファ及びラッチ回路30を備えている。ロウアドレスバッファ及びラッチ回路29は、ロウアドレス信号AD<sub>x</sub>が入力されるロウアドレスバッファ1、このバッファ1の出力信号が供給される第1のロウアドレスラッチ3、及びこのラッチ3の出力信号RATD<sub>in</sub>が供給される第2のロウアドレスラッチ5を含んで構成される。上記ロウアドレスバッファ1及び第1のロウアドレスラッチ3は、上記内部CE制御回路14から出力されるサイクルを制御する信号CYCLEによって動作が制御される。また、上記第2のロウアドレスラッチ5は、上記内部CE制御回路14から出力される内部アドレスイネーブル信号AEによって動作が制御される。そして、この回路29の出力信号（内部ロウアドレス信号）X<sub>n</sub>がロウデコーダ及びプレートデコーダ18中のロウデコーダ部に供給され、ワード線WLの選択及び駆動が制御される。

#### 【0026】

また、カラムアドレスバッファ及びラッチ回路30は、カラムアドレス信号AD<sub>y</sub>が入力されるカラムアドレスバッファ2、このバッファ2の出力信号が供給される第1のカラムアドレスラッチ4、及びこのラッチ4の出力信号CATD<sub>in</sub>が供給される第2のカラムアドレスラッチ6を含んで構成される。上記カラムアドレスバッファ2及び第1のカラムアドレスラッチ4は、上記内部CE制御回路14から出力されるサイクルを制御する信号CYCLEによって動作が制御される。また、上記第2のカラムアドレスラッチ6は、上記内部CE制御回路14から出力される内部アドレスイネーブル信号AEによって動作が制御される。そして、この回路30の出力信号（内部カラムアドレス信号）Y<sub>n</sub>がカラムデコーダ20に供給され、カラムセレクト線CSLの選択が制御されるようになっている。

#### 【0027】

上記入力回路及びATD回路28は、更にRATD7、CATD8、CEバッファ9、WEバッファ10、CEATD11、WEATD12、ATD論理積回路13等を含んでいる。上記RATD7はロウアドレスラッチ3の出力信号RATD<sub>in</sub>の遷移を検知するもので、上記CATD8はカラムアドレスラッチ4の出力信号CATD<sub>in</sub>の遷移を検知するものである。上記CEバッファ9には外部チップイネーブル信号／CEが供給され、上記WEバッファ10には外部ライトイネーブル信号／WEが供給され、これらのバッファ9、10の出力信号はCEATD11及びWEATD12にそれぞれ供給される。上記CEATD11はCEバッファ9の出力信号（外部チップイネーブル信号／CE）の遷移を検知するチップイネーブル遷移検知回路であり、上記WEATD12はWEバッファ10の出力信号（外部ライトイネーブル信号／WE）の遷移を検知するライトイネーブル遷移検知回路である。

## 【0028】

上記 R A T D 7、C A T D 8、C E A T D 1 1 及び W E A T D 1 2 によって検知された各信号の遷移は、A T D 論理積回路 1 3 に供給されて論理積が取られる。この A T D 論理積回路 1 3 から出力される論理積信号 A T D S U M が内部 C E 制御回路 1 4 に供給され、内部回路を制御する所定の期間の内部チップイネーブル信号 I N C E が生成される。

## 【0029】

上記ロウ系制御回路 1 6 及びカラム系制御回路 1 7 は、上記内部 C E 制御回路 1 4 から出力される内部チップイネーブル信号 I N C E によって動作が制御される。上記ロウ系制御回路 1 6 には、プレート制御回路やワード線制御回路が含まれており、その出力信号がロウデコーダ及びプレートデコーダ 1 8 に供給され、このロウデコーダ及びプレートデコーダ 1 8 によってメモリセルアレイ 1 9 中のワード線 W L とプレート線 P L の選択及び駆動が行われる。また、このロウ系制御回路 1 6 にはセンスアンプ制御回路が含まれており、メモリセルアレイ 1 9 中のセンスアンプの駆動が行われる。

## 【0030】

一方、上記カラム系制御回路 1 7 の出力信号は、カラムデコーダ 2 0 に供給され、このカラムデコーダ 2 0 によってメモリセルアレイ 1 9 中のカラムセレクト線 C S L の選択が行われる。

## 【0031】

上記メモリセルアレイ 1 9 中の選択されたメモリセルへの書き込みデータ D i n は、書き込みデータラッチ 2 4 にラッチされた後、データラッチ 2 5 及びデータ線 D Q L を介して書き込まれる。また、書き込みデータラッチ 1 8 にラッチした書き込みデータ D i n を外部に出力可能に構成されている。一方、選択されたメモリセルから読み出されたデータは、データ線 D Q L を介して D Q バッファ 2 1 に供給され、さらに読み出しデータラッチ 2 3 に供給されてラッチされ、読み出しデータ D o u t として出力される。

## 【0032】

上記書き込みデータラッチ 2 4 及び読み出しデータラッチ 2 3 はそれぞれ、入出力系制御回路 2 2 によって動作が制御される。この入出力系制御回路 2 2 は、内部 W E 制御回路 1 5 から出力される内部ライトイネーブル信号 I N W E と O E バッファ 2 6 の出力信号によって制御されるようになっている。上記 O E バッファ 2 6 には、外部アウトプットイネーブル信号 / O E が供給されている。

## 【0033】

また、C E バッファ 9 と W E バッファ 1 0 の出力信号は、N O R 回路 2 7 の入力端に供給される。この N O R 回路 2 7 は、外部チップイネーブル信号 / C E と外部ライトイネーブル信号 / W E とが共に “L” レベルの時に書き込み動作を開始するための信号 W E E B L を内部 W E 制御回路 1 5 に供給する。この内部 W E 制御回路 1 5 によって、データラッチ 2 5 のラッチ動作が制御される。

## 【0034】

次に、図 3 乃至図 5 により上記図 1 に示した擬似 S R A M のより詳細な構成と図 2 ( a ) , ( b ) に示したアクセス動作の詳細を説明する。

## 【0035】

上記メモリセルアレイ 1 9 中には、図 3 ( a ) に示すような 1 トランジスタ・1 キャパシタ構造を有する強誘電体セル M C 1 がマトリックス状に配置されている。この強誘電体セル M C 1 のセルキャパシタ C 1 には、キャパシタ絶縁膜として強誘電体材料、例えばチタン酸ジルコン酸鉛 ( P b Z r T i O <sub>3</sub> : P Z T ) が用いられている。

## 【0036】

まず、図 3 ( a ) , ( b ) 及び図 4 を参照して、上記強誘電体セル M C 1 の構成及びデータの書き込み／読み出し／再書き込み動作について簡単に説明する。

## 【0037】

強誘電体セル M C 1 に対するデータの書き込み動作は、次のように行われる。すなわち、ワード線 W L を選択した状態で、プレート線 P L を接地電位 ( “L” レベル ) からある

所定電位（“H”レベル）までパルス駆動した後に、“L”レベルに戻すことにより、ビット線BL上のデータを書き込むことができる。

#### 【0038】

一方、強誘電体セルMC1に対する記憶データの読み出し動作は、ワード線WLを選択した状態でプレート線PLを“L”レベルから“H”レベルにパルス駆動することにより、電荷をビット線BLに読み出すことができる。

#### 【0039】

すなわち、図3（a）に示した強誘電体セルMC1のセルキャパシタC1は、電極間に電圧が印加されていない状態では図4中“0”及び“1”と示した上向きあるいは下向きの2方向いずれかの分極状態となっており、不揮発性のメモリとなっている。そこに電圧を印加すると、状態が“1”である場合には分極は反転しないが“0”であった場合は分極が反転する。これら2つの状態において、同じ電圧を印加するのに必要な電荷量、言い換えると一方の電極に同じ電圧を印加したときに、“0”，“1”の記憶状態に応じて他方の電極に発生する電荷量が異なる。これらの差を検知することにより記憶データの読み出しを行う。上記のような強誘電体メモリのデータの読み出しは破壊読み出しであり、読み出し動作を行った後に必ず再書き込み動作を行う必要がある。

#### 【0040】

図3（a）に示した強誘電体セルMC1のデータの再書き込み動作は、図3（b）に示すように、読み出しデータが“0”の場合は、読み出し時にセンスアンプでセンス増幅した時にデータ“0”の再書き込み動作が行われる。これに対し、読み出しデータが“1”の場合は、プレート線PLを“H”レベルから“L”レベルに戻してからデータ“1”の再書き込み動作を開始する。

#### 【0041】

ここで、図1に示した擬似SRAMにおけるロウアドレスバッファ及びラッチ回路29とカラムアドレスバッファ及びラッチ回路30の動作を説明する。

#### 【0042】

アドレス信号が遷移したことを検知してATD論理積回路13がパルスATDSUMを発生すると、それをトリガとして内部CE制御回路14により所定の期間の制御信号が生成される。この制御信号は、例えばチップのアクティブサイクルとプリチャージサイクルを制御する内部チップイネーブル信号INC Eと、両者を足したサイクル時間を制御するサイクル制御信号CYCLEである。

#### 【0043】

上記サイクル制御信号CYCLEにより、ロウアドレスバッファ及びラッチ回路29とカラムアドレスバッファ及びラッチ回路30の動作が制御される。まず、信号CYCLEが“H”レベルの時は、ロウアドレスバッファ1とカラムアドレスバッファ2が活性化される。これによって、ロウアドレスバッファ1とカラムアドレスバッファ2がアドレスADx，ADyを取り込み、第1のロウアドレスラッチ3及び第1のカラムアドレスラッチ4にデータがラッチされると、ロウアドレスバッファ1とカラムアドレスバッファ2の電源が遮断される。そして、以降は第1のロウアドレスラッチ3と第1のカラムアドレスラッチ4にラッチされたアドレスデータを、第2のロウアドレスラッチ5と第2のカラムアドレスラッチ6にそれぞれ供給してアクセス動作を行う。

#### 【0044】

このように、ロウアドレス用とカラムアドレス用のラッチ回路をそれぞれ2つ備えることで、第2のロウアドレスラッチ5及び第2のカラムアドレスラッチ6にラッチしている、内部で使用したアドレスはプリチャージサイクルでリセットし、現在のサイクルのアドレスデータは第1のロウアドレスラッチ3と第1のカラムアドレスラッチ4に蓄えたままにしておく。

#### 【0045】

そして、現在のサイクルが終了し、信号CYCLEが次に“H”レベルになった時に、ロウアドレスバッファ1及びカラムアドレスバッファ2の電源を投入し、活性化してその

時入力されているアドレスを取り込んで、第1のロウアドレスラッチ3と第1のカラムアドレスラッチ4にラッチされている前サイクルのアドレスデータと比較して、異なったデータであればATD論理積回路13からパルス信号（論理積信号）ATDSUMを発生する。

#### 【0046】

このパルス信号ATDSUMをトリガとして内部CE制御回路14により所定の期間の制御信号INCE, CYCLEを発生し、次のサイクルの動作を開始する。また、前サイクルのアドレスデータと比較して、同じアドレスであればパルス信号ATDSUMは発生しないので、出力信号Doutは前サイクルのデータを出力し続けることになる。

#### 【0047】

図5は、上記アドレスバッファ及びラッチ回路29, 30の具体的な構成例を示している。このアドレスバッファ及びラッチ回路は、バッファ部（ロウアドレスバッファ1またはカラムアドレスバッファ2に対応する）31、第1ラッチ部（ロウアドレスラッチ3またはカラムアドレスラッチ4に対応する）32、第2ラッチ部（ロウアドレスラッチ5またはカラムアドレスラッチ6に対応する）33から構成される。

#### 【0048】

上記バッファ部31は、Pチャネル型MOSFET41, 42、Nチャネル型MOSFET43, 44及びインバータ45を含んで構成されている。上記MOSFET41, 42, 43の電流通路は、電源VDDと接地点VSS間に直列接続される。MOSFET44の電流通路の一端は上記MOSFET42, 43の電流通路の接続ノードNCに接続され、他端は接地点VSSに接続される。上記MOSFET41, 44のゲートには制御制御信号PREが供給され、上記MOSFET42, 43のゲートにはアドレス信号ADin（ロウアドレス信号ADxまたはカラムアドレス信号ADy）が供給される。そして、上記インバータ45の入力端が上記ノードNCに接続されている。

#### 【0049】

上記第1ラッチ部32は、トランスファゲート46, 47とインバータ48～50を含んで構成されている。上記トランスファゲート46の一端には、上記インバータ45の出力端が接続される。このトランスファゲート46の他端（ノードND）には、インバータ48の入力端及びトランスファゲート47の一端が接続される。上記トランスファゲート46, 47は、制御信号 $\phi$ ,  $\phi$ に同期して相補的にオン/オフが制御される。上記インバータ48の出力端には、インバータ49, 50の入力端が接続される。そして、上記インバータ49の出力端が、上記トランスファゲート47の他端に接続されている。

#### 【0050】

上記第2ラッチ部33は、NAND回路51, 52とインバータ53, 54を含んで構成されている。上記NAND回路51の一方の入力端には上記インバータ50の出力端が接続され、他方の入力端には制御信号REが供給される。上記NAND回路52の一方の入力端には上記インバータ48の出力端が接続され、他方の入力端には上記制御信号REが供給される。これらNAND回路51, 52の出力端にはインバータ53, 54の入力端がそれぞれ接続されている。そして、上記インバータ53, 54の出力端からアドレス出力A,  $\neg A$ （内部ロウアドレス信号Xnまたは内部カラムアドレス信号Yn）を得るようになっている。また、上記インバータ50から信号ATDinを出力する。

#### 【0051】

上記のような構成において、図6のタイミングチャートに示すように、時刻T1において、アドレス信号ADin（ロウアドレス信号ADxまたはカラムアドレス信号ADy）が“H”レベルから“L”レベルに遷移したとする。まず、制御信号PREは“L”レベルになっており、MOSFET41がオン状態、MOSFET44がオフ状態となり、MOSFET42, 43がインバータ動作可能状態（バッファ部31に電源が供給された状態）になっているので、ノードNCは“L”レベルから“H”レベルに反転する。この時、制御信号 $\phi$ は“H”レベル（制御信号 $\phi$ は“L”レベル）であるので、トランスファゲート46がオン状態、トランスファゲート47はオフ状態であり、ノードND及び信号

A T D i n が “H” レベルから “L” レベルとなる。この時、制御信号 R E は “L” レベルであるので、アドレス出力 A は “L” レベル、アドレス出力（相補信号） $\overline{A}$  は “L” レベルである。その後、制御信号 R E が “L” レベルから “H” レベルになると、アドレス出力相補信号 $\overline{A}$  が “L” レベルから “H” レベルとなる。この時、アドレス出力 A は “L” レベルを保ったままとなる。これによって内部アドレスが確定する。

【0052】

また、上記信号 A T D i n の遷移を検知して A T D 論理積回路 13 がパルス信号を発生し、それをトリガとして内部 C E 制御回路 14 から出力されるサイクル制御信号 C Y C L E 及び内部チップイネーブル信号 I N C E がそれぞれ “L” レベルから “H” レベルとなる。これにより動作サイクルが開始される。

【0053】

次の時刻 T 2 において、制御信号  $\phi$  を “H” レベルから “L” レベルとすることにより、トランスファゲート 46 をオフ状態、トランスファゲート 47 をオン状態にしてバッファ部 31 とラッチ部 32 を電氣的に分離する。この時、制御信号 P R E を “L” レベルから “H” レベルにすることにより、M O S F E T 41 をオフ状態、M O S F E T 44 をオン状態にしてバッファ部 31 の電源を遮断し、且つノード N C を “H” レベルから “L” レベルとする。この際、ラッチ部 32 のトランスファゲート 47 がオンしているので、インバータ 48, 49 によってノード N D の “L” レベルがラッチされて保持される。

【0054】

時刻 T 3 において、内部チップイネーブル信号 I N C E が “H” レベルから “L” レベルとなりアクティブ動作が終了すると、プリチャージ動作が行われる。プリチャージ動作が終了すると、制御信号 R E を “H” レベルから “L” レベルとすることにより、アドレス出力相補信号 $\overline{A}$  が “H” レベルから “L” レベル、アドレス出力 A は “L” レベルとなり内部のアドレスがリセットされる。

【0055】

次の、時刻 T 4 において、アドレス信号 A D i n が “L” レベルから “H” レベルに遷移したとする。この際、サイクル制御信号 C Y C L E は “H” レベルとなっており、サイクル動作中であるので何も行われない。

【0056】

時刻 T 5 において、サイクル制御信号 C Y C L E が “H” レベルから “L” レベルとなり前サイクルが終了すると、制御信号 P R E が “H” レベルから “L” レベルとなりバッファ部 31 に電源が供給され、その時点のアドレス信号 A D i n の “H” レベルが取り込まれる。しかし、トランスファゲート 46 がオフしているので、ノード N D は “L” レベルのまま変化しない。

【0057】

その後、制御信号  $\phi$  を “L” レベルから “H” レベルとすることにより、トランスファゲート 46 をオン（トランスファゲート 47 はオフ）してバッファ部 31 とラッチ部 32 を導通させる。するとノード N D 及び信号 A T D i n が “L” レベルから “H” レベルに遷移するので、これらの信号の遷移を A T D 論理積回路 13 で検知してパルス信号を発生し、それをトリガとしてサイクル制御信号 C Y C L E 及び内部チップイネーブル信号 I N C E が “L” レベルから “H” レベルとなり次のサイクルが開始される。

【0058】

そして、上記時刻 T 4 に発生したアドレスの遷移が、時刻 T 5 で取り込まれることになる。

【0059】

上記のような構成並びにアクセス方法によれば、次サイクルの開始直前のアドレスを取り込むことができる。従って、たとえ前サイクルのいずれかの時点でアドレス変化があったとしても最後に変化したアドレスデータを取り込むことになるので、T R C m i n の規定を守ってアドレスを入力しなくても所望のアドレスに対応したデータを読み書きできる。

【0060】



また、サイクルの開始と同時にアドレスバッファを活性化状態にし、ラッチ部にデータをラッチしてしまえば、その後はアドレスバッファの電源を遮断して非活性化状態にして構わないので大幅に消費電力を削減できる。

【0061】

さらに、第1のATDパルスが発生してもパルス幅を所望の値に設定しておけば直後に第2のアドレスの変化があったとしても、サイクルを遅らせることなく変化後の第2のアドレスに対応する読み書きを行うことができる。

【0062】

なお、上述した実施の形態では、制御信号PREによってアドレスバッファの電源を制御して消費電力を削減する例を示したが、消費電力よりも高速動作が要求される場合には、制御信号PREを“L”にしたままにしておき、常にアドレスバッファを活性化状態にしておいても良い。これによって、アドレスを早く取り込むことができ、アクセス速度の高速化が図れるという利点がある。

【0063】

また、アドレスバッファ回路の構成例としてインバータ型を示したが、この構成によらず、他に知られているカレントミラー型やダイナミックラッチ型であっても良く、バッファ部とラッチ部を備えており、双方をスイッチ回路等を介して遮断できる構成であればどのようなものであっても良い。

【0064】

【第2の実施の形態】

上記第1の実施の形態に係る半導体集積回路装置及びそのアクセス方法では、メモリコア部に1トランジスタ・1キャパシタ構造を有する強誘電体セルMC1が単独でビット線BL及びプレート線PLに接続されている強誘電体セルのアレイを用いた擬似SRAMについて説明した。しかし、本発明は、メモリコア部にTC並列ユニット直列接続型強誘電体セルを1ユニットとしてビット線BL及びプレート線PLに接続したメモリセルアレイを用いた擬似SRAMにも適用可能である。

【0065】

図7(a)、(b)は、TC並列ユニット直列接続型強誘電体セルの1ユニット分の等価回路及びその動作波形を示すタイミングチャートである。

【0066】

図7(a)に示すTC並列ユニット直列接続型強誘電体セルの1ユニット分は、複数個(本例では4個)の強誘電体セルMC2-0~MC2-3と1個のユニット選択トランジスタSTの電流通路が、ビット線BLとプレート線PL線間に直列接続されたものである。各々の強誘電体セルMC2-0~MC2-3は、セルトランジスタT2の電流通路と強誘電体キャパシタC2が並列接続されて構成されている。そして、各強誘電体セルMC2-0~MC2-3のセルトランジスタT2のゲートはワード線WL0~WL3にそれぞれ接続され、ユニット選択トランジスタSTのゲートはユニット選択線BSに接続されている。

【0067】

上記ワード線WL0~WL3は、選択された強誘電体セルに対応する1本以外は“H”レベルに設定され、これに対応するセルトランジスタがオン状態に制御される。そして、選択された強誘電体セルに対応する1本のみが“L”レベルに設定され、これに対応するセルトランジスタがオフ状態に制御され、選択された強誘電体セルのセルキャパシタにおける一方の電極がビット線BLに、他方の電極がプレート線PLに接続されることになる。

【0068】

上記のようなセル構成であっても、基本的には上述した1トランジスタ・1キャパシタ構造を有する強誘電体セルをメモリコア部に用いた擬似SRAMと同様であり、実質的に同じ作用効果が得られる。

【0069】

**【第3の実施の形態】**

上記第1及び第2の実施の形態に係る半導体集積回路装置及びそのアクセス方法においては、図3(a)及び図7(a)に示したような、プレート線PLの電位がパルス駆動される強誘電体セルMC1、MC2をメモリコア部に用いた擬似SRAMについて説明した。

**【0070】**

これに対して、本第3の実施の形態では、1トランジスタ・1キャパシタ構造を有するDRAMセルをメモリコア部に用いている。

**【0071】**

すなわち、上記メモリセルアレイ19中には、図8(a)に示すような1トランジスタ・1キャパシタ構造を有するDRAMセルMC3がマトリックス状に配置されている。セルトランジスタT3の電流通路の一端はビット線BLに接続され、他端はセルキャパシタC3の一方の電極に接続される。上記セルキャパシタC3の他方の電極は、プレート線PLに接続されている。

**【0072】**

そして、図8(b)に示すように、ビット線BLのプリチャージ電圧及びプレート線PLの電位が電源電圧VCCの1/2に設定された状態でワード線WLが選択されるようになっている。

**【0073】**

このような構成であっても、基本的には上述した第1及び第2の実施の形態で説明した強誘電体セルMC1、MC2をメモリコア部に用いた擬似SRAMと同様であり、実質的に同じ作用効果が得られる。

**【0074】**

上述したように本発明の各実施の形態に係る半導体集積回路装置及びそのアクセス方法によれば、従来は対応できなかったアドレスの入力制限をなくしつつ消費電力の削減が図れ、非同期型SRAMと動作互換のある非同期仕様の半導体記憶装置を形成できる。

**【0075】**

なお、上述した本発明の第1乃至第3の実施形態に係る半導体集積回路装置は、既存のSRAMに代えて様々な装置に適用が可能である。特に、第1、第2の実施形態に係る半導体集積回路装置は、メモリコア部に強誘電体メモリを用いているので、不揮発性であることを利用して種々のタイプのオプションのメモリや、メディアコンテンツを記憶するカード等に適用できる。これらの適用例のいくつかを図9乃至図11に示す。

**【0076】****(適用例1)**

図9はデジタル加入者線(DSL)用モデムのDSLデータパス部分を抽出して示している。このモデムは、プログラマブルデジタルシグナルプロセッサ(DSP: Digital Signal Processor)110、アナログーデジタル(A/D)コンバータ120、デジタルーアナログ(D/A)コンバータ130、送信ドライバ150、及び受信機増幅器160などを含んでいる。図9では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム(DSPで実行される、コード化された加入者回線情報、伝送条件等(回線コード; QAM、CAP、RSK、FM、AM、PAM、DWT等)に応じてモデムを選択、動作させるためのプログラム)を保持するための種々のタイプのオプションのメモリとして、本実施形態の擬似SRAM170とEEPROM180を示している。

**【0077】**

なお、本適用例では、回線コードプログラムを保持するためのメモリとして擬似SRAM170とEEPROM180との2種類のメモリを用いているが、EEPROM180を擬似SRAMに置き換えても良い。すなわち、2種類のメモリを用いず、擬似SRAMのみを用いるように構成しても良い。

**【0078】****(適用例2)**

図10は、別の適用例として、携帯電話端末300を示している。通信機能を実現する通信部200は、送受信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとして用いられるDSP205、スピーカ（受話器）206、マイクロホン（送話器）207、送信部208、及び周波数シンセサイザ209等を備えている。

#### 【0079】

また、この携帯電話端末300には、当該携帯電話端末の各部を制御する制御部220が設けられている。制御部220は、CPU221、ROM222、本実施の形態の擬似SRAM223、及びフラッシュメモリ224がCPUバス225を介して接続されて形成されたマイクロコンピュータである。上記ROM222には、CPU221において実行されるプログラムや表示用のフォント等の必要となるデータが予め記憶されている。擬似SRAM223は、主に作業領域として用いられるものであり、CPU221がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部220と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ224は、携帯電話端末300の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまうことがない。

#### 【0080】

更に、この携帯電話端末300には、オーディオ再生処理部211、外部出力端子212、LCDコントローラ213、表示用のLCD（液晶ディスプレイ）214、及び呼び出し音を発生するリング215等が設けられている。上記オーディオ再生処理部211は、携帯電話端末300に入力されたオーディオ情報（あるいは後述する外部メモリ240に記憶されたオーディオ情報）を再生する。再生されたオーディオ情報は、外部出力端子212を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部211を設けることにより、オーディオ情報の再生が可能となる。上記LCDコントローラ213は、例えば上記CPU221からの表示情報をCPUバス225を介して受け取り、LCD214を制御するためのLCD制御情報に変換し、LCD214を駆動して表示を行わせる。

#### 【0081】

上記携帯電話端末300には、インターフェース回路（I/F）231、233、235、外部メモリ240、外部メモリスロット232、キー操作部234、及び外部入出力端子236等が設けられている。上記外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。この外部メモリスロット232は、インターフェース回路（I/F）231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報（例えばオーディオ情報）を携帯電話端末300に入力したりすることが可能となる。上記キー操作部234は、インターフェース回路（I/F）233を介してCPUバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばCPU221に伝えられる。上記外部入出力端子236は、インターフェース回路（I/F）233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を入力したり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

#### 【0082】

なお、本適用例では、ROM222、擬似SRAM223及びフラッシュメモリ224を用いているが、不揮発性であるのでフラッシュメモリ224を擬似SRAMに置き換えても良いし、更にROM222を擬似SRAMに置き換えることも可能である。

#### 【0083】

##### （適用例3）

図11は、擬似SRAMをスマートメディア等のメディアコンテンツを収納するカード

に適用した例を示す。

【0084】

カード本体400には、擬似SRAMチップ401が内蔵されている。このカード本体400には、擬似SRAMチップ401に対応する位置に開口部402が形成され、擬似SRAMチップ401が露出されている。この開口部402にはシャッター403が設けられており、当該カードの携帯時に擬似SRAMチップ401がシャッター403で保護されるようになっている。データを書き込む場合には、シャッター403を開放して擬似SRAMチップ401を露出させて行う。外部端子404はカードに記憶されたコンテンツデータを外部に取り出すためのものである。もちろん、外部端子404の数に制限がない場合には、上記擬似SRAMチップ401に対応する位置に開口部402を設けず、外部端子404のみでデータを書き込むようにしても良い。

【0085】

上記適用例1乃至3に示した構成によれば、アドレスの入力制限がない、低消費電力で且つ外部入力信号に対して非同期である、比較的高速に動作する、不揮発性である等の擬似SRAMの特長を有効に利用できる。

【0086】

なお、半導体集積回路装置として擬似SRAMを例に取って説明したが、擬似SRAMとロジック回路とを混載した半導体集積回路装置や、1チップ中にシステムを搭載するSOCと呼ばれる半導体集積回路装置にも適用できる。

【0087】

以上第1乃至第3の実施形態と適用例1乃至3を用いてこの発明の説明を行ったが、この発明は上記各実施形態や適用例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態や適用例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態や適用例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0088】

【図1】本発明の第1の実施の形態に係る半導体集積回路装置及びそのアクセス方法について説明するためのもので、非同期仕様の半導体記憶装置の要部を抽出して構成例を示すブロック図。

【図2】図1に示した半導体記憶装置の動作について説明するためのタイミングチャート。

【図3】図1に示したメモリセルアレイの構成例について説明するためのもので、(a)図は1トランジスタ・1キャパシタ構造を有する強誘電体セルの等価回路図、(b)図はその動作波形を示すタイミングチャート。

【図4】図3(a)に示した強誘電体キャパシタの印加電圧と残留分極との関係(ヒステリシス特性)を示す特性図。

【図5】図1乃至図4に示した半導体記憶装置の動作について説明するための、アドレスバッファ及びラッチ回路の詳細な構成例を示す回路図。

【図6】図5に示したアドレスバッファ及びラッチ回路の動作について説明するためのタイミングチャート。

【図7】本発明の第2の実施の形態に係る半導体集積回路装置及びそのアクセス方法について説明するためのもので、(a)図はTC並列ユニット直列接続型強誘電体セルの1ユニット分の等価回路図、(b)図はその動作波形を示すタイミングチャート。

【図8】本発明の第3の実施の形態に係る半導体集積回路装置及びそのアクセス方法について説明するためのもので、(a)図はDRAMセルの等価回路図、(b)図は

その動作波形を示すタイミングチャート。

【図 9】本発明の第 1, 第 2 の実施形態に係る半導体集積回路装置（擬似 S R A M）の適用例 1 について説明するためのもので、デジタル加入者線（D S L）用モデムの D S L データパス部分を示すブロック図。

【図 10】本発明の第 1, 第 2 の実施形態に係る半導体集積回路装置（擬似 S R A M）の適用例 2 について説明するためのもので、携帯電話端末を示すブロック図。

【図 11】本発明の第 1, 第 2 の実施形態に係る半導体集積回路装置（擬似 S R A M）の適用例 3 について説明するためのもので、擬似 S R A M をスマートメディア等のメディアコンテンツを収納するカードに適用した例を示す上面図。

【図 12】従来の半導体集積回路装置のアクセス方法について説明するためのもので、（a）図は読み出し動作を示すタイミングチャート、（b）図は書き込み動作を示すタイミングチャート。

【図 13】従来の半導体集積回路装置について説明するためのもので、半導体記憶装置の一部の構成例を抽出して示すブロック図。

【符号の説明】

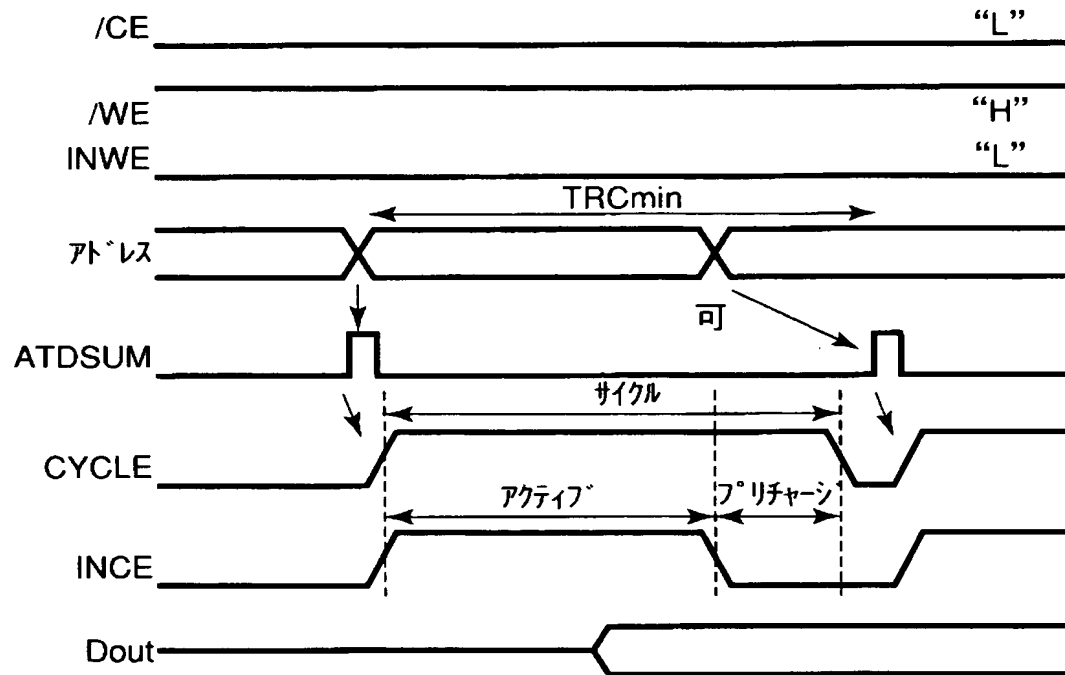
【0089】

1…ロウアドレスバッファ、2…カラムアドレスバッファ、3…第 1 のロウアドレスラッチ、4…第 1 のカラムアドレスラッチ、5…第 2 のロウアドレスラッチ、6…第 2 のカラムアドレスラッチ、7, 8, 11, 12…A T D、9…C E バッファ、10…W E バッファ、13…A T D 論理積回路、14…内部 C E 制御回路、15…内部 W E 制御回路、16…ロウ系制御回路、17…カラム系制御回路、18…ロウデコーダ及びプレートデコーダ、19…メモリセルアレイ、20…カラムデコーダ、21…D Q バッファ、22…入出力系制御回路、23…読み出しデータラッチ、24…書き込みデータラッチ、25…データラッチ、26…O E バッファ、27…N O R 回路、28…入力バッファ及び A T D 回路、29…ロウアドレスバッファ及びラッチ回路、30…カラムアドレスバッファ及びラッチ回路、W L…ワード線、B L…ビット線、P L…プレート線、M C 1…強誘電体セル、M C 2-0 ~ M C 2-3…T C 並列ユニット直列接続型強誘電体セル、M C 3…D R A M セル、/ C E…外部チップイネーブル信号、A D x…ロウアドレス信号、A D y…カラムアドレス信号、/ W E…外部ライトイネーブル信号、/ O E…外部アウトプットイネーブル信号、I N C E…内部チップイネーブル信号（内部回路制御信号）、I N W E…内部ライトイネーブル信号、X n…内部ロウアドレス信号、Y n…内部カラムアドレス信号、R A T D i n…ロウ A T D 入力信号、C A T D i n…カラム A T D 入力信号、A E…内部アドレスイネーブル信号、A T D S U M…A T D 論理積信号。

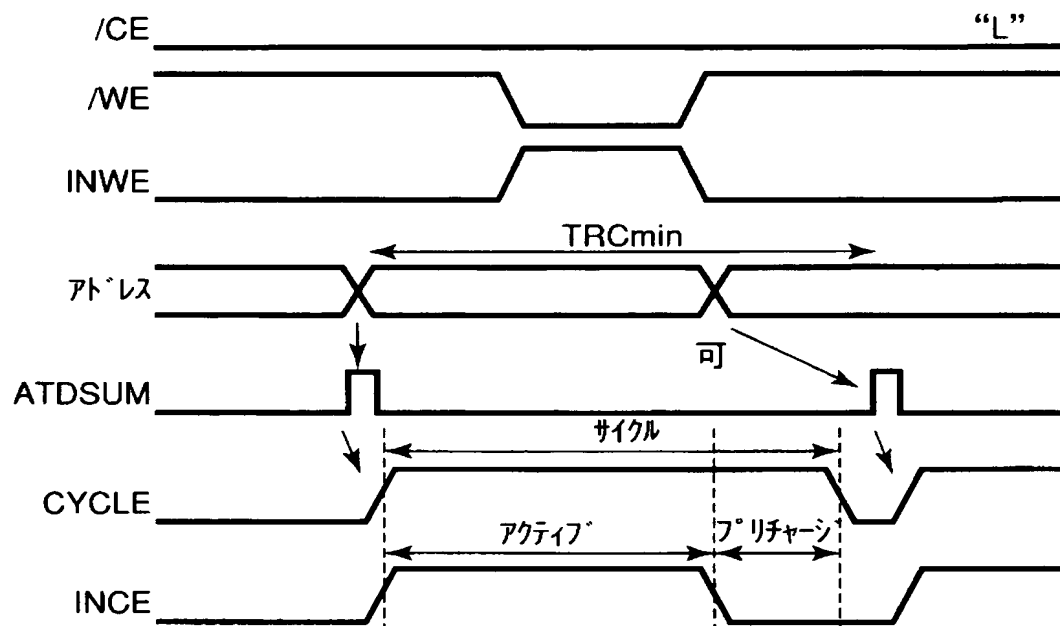


【図 2】

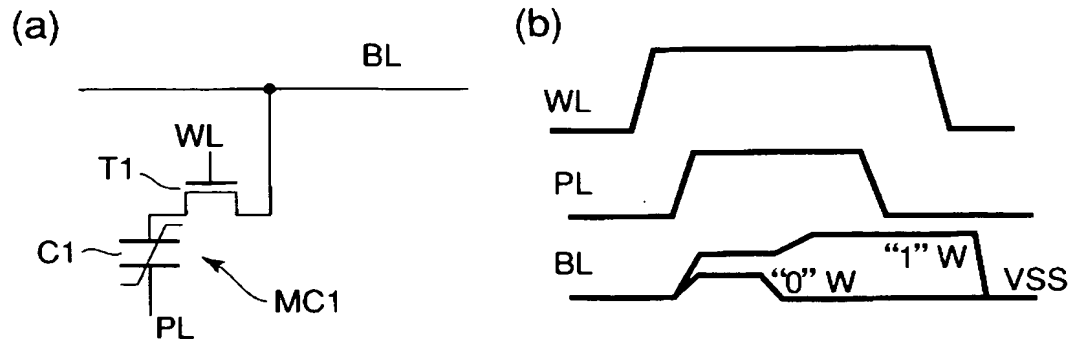
(a) Read



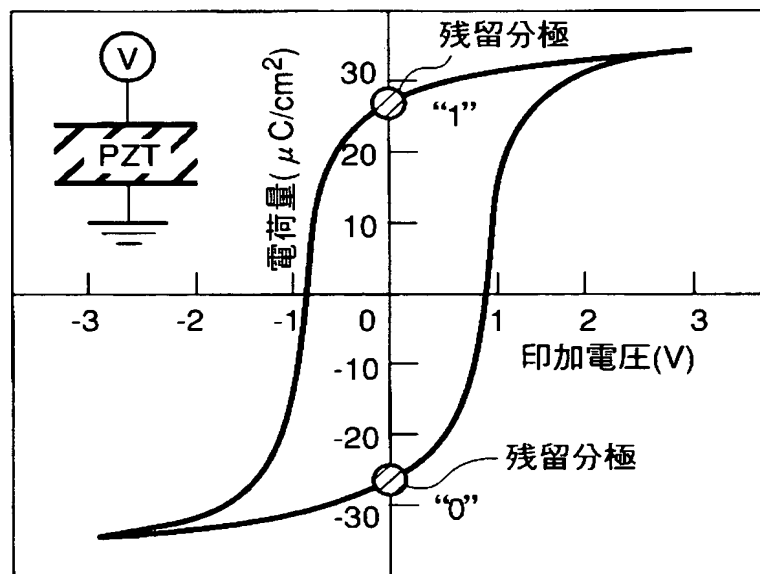
(b) Write



【図 3】

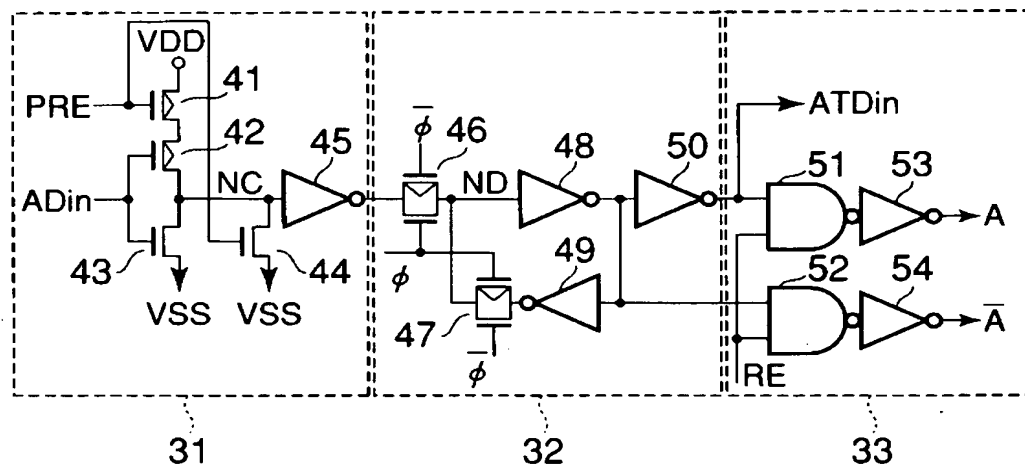


【図 4】

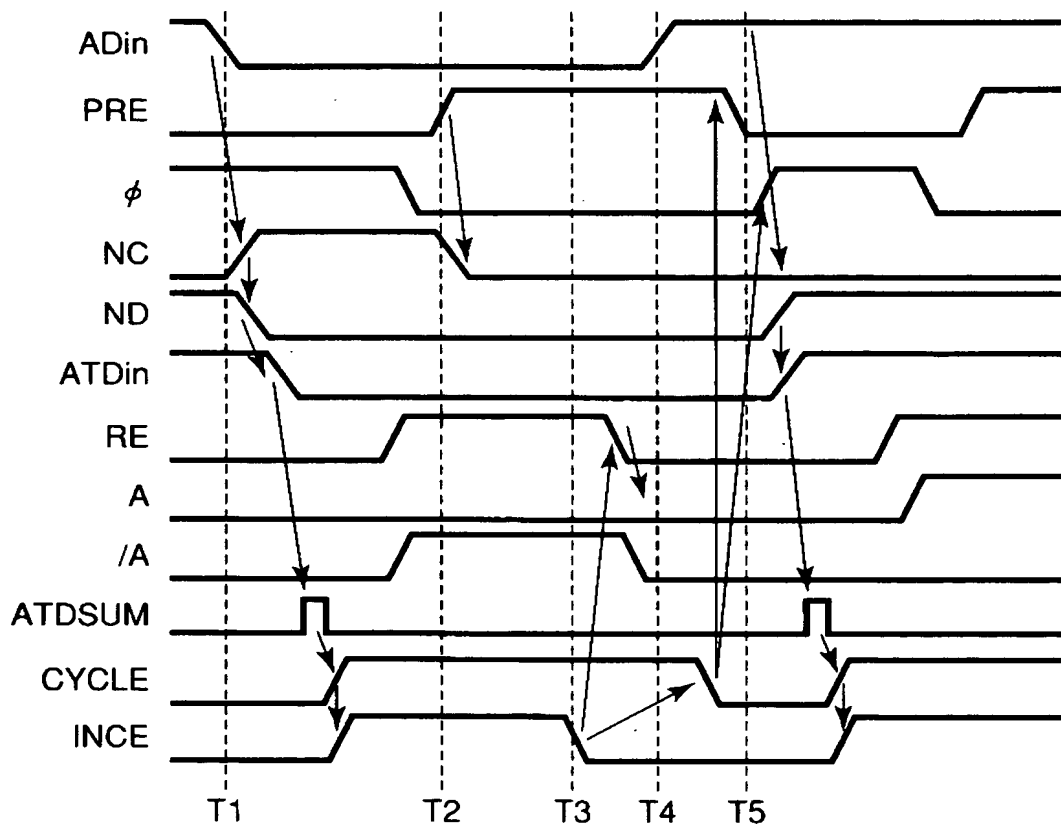




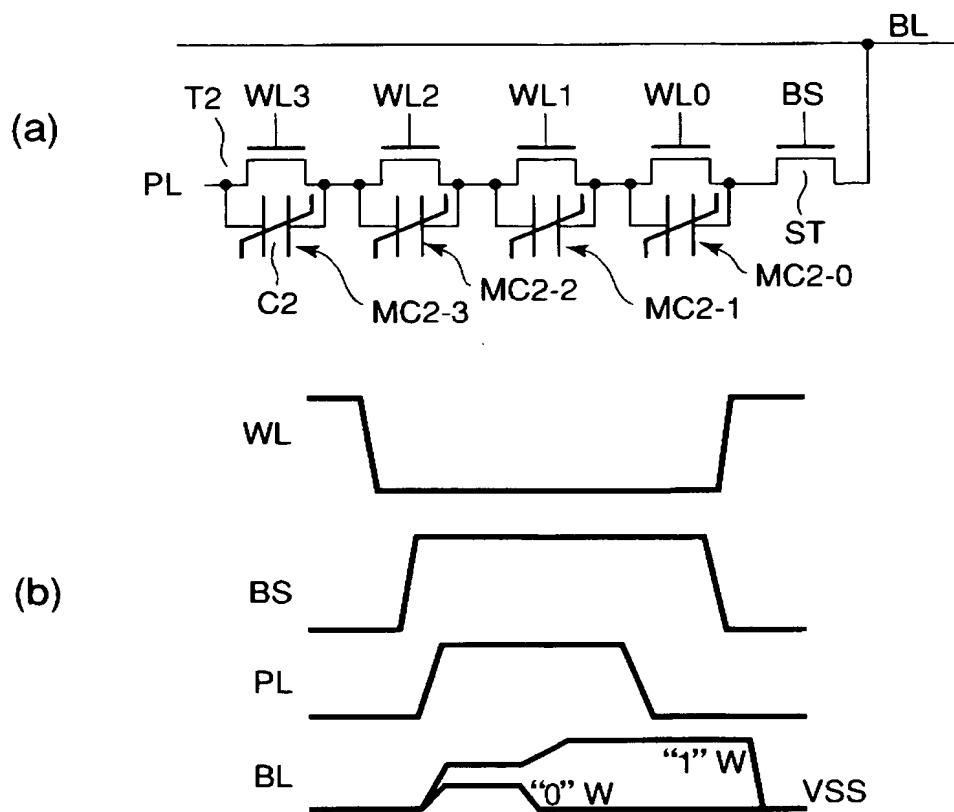
【図 5】



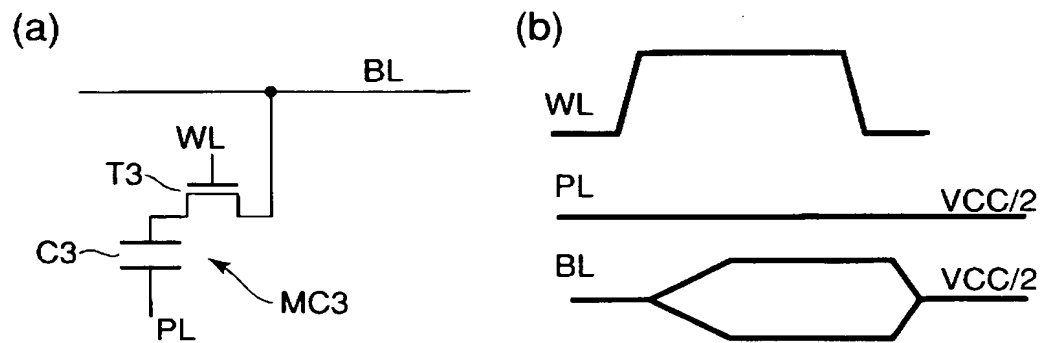
【図 6】



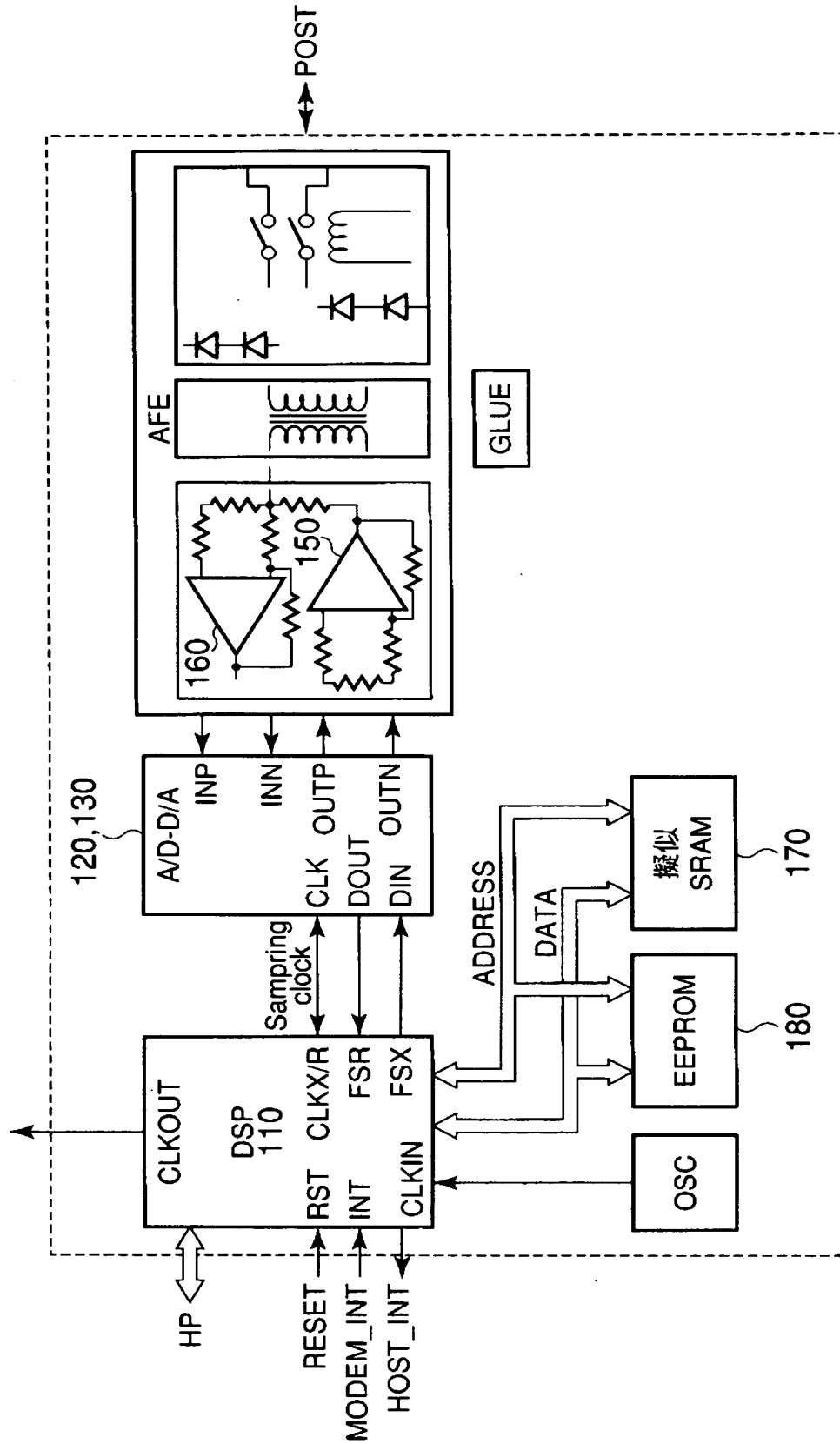
【図 7】



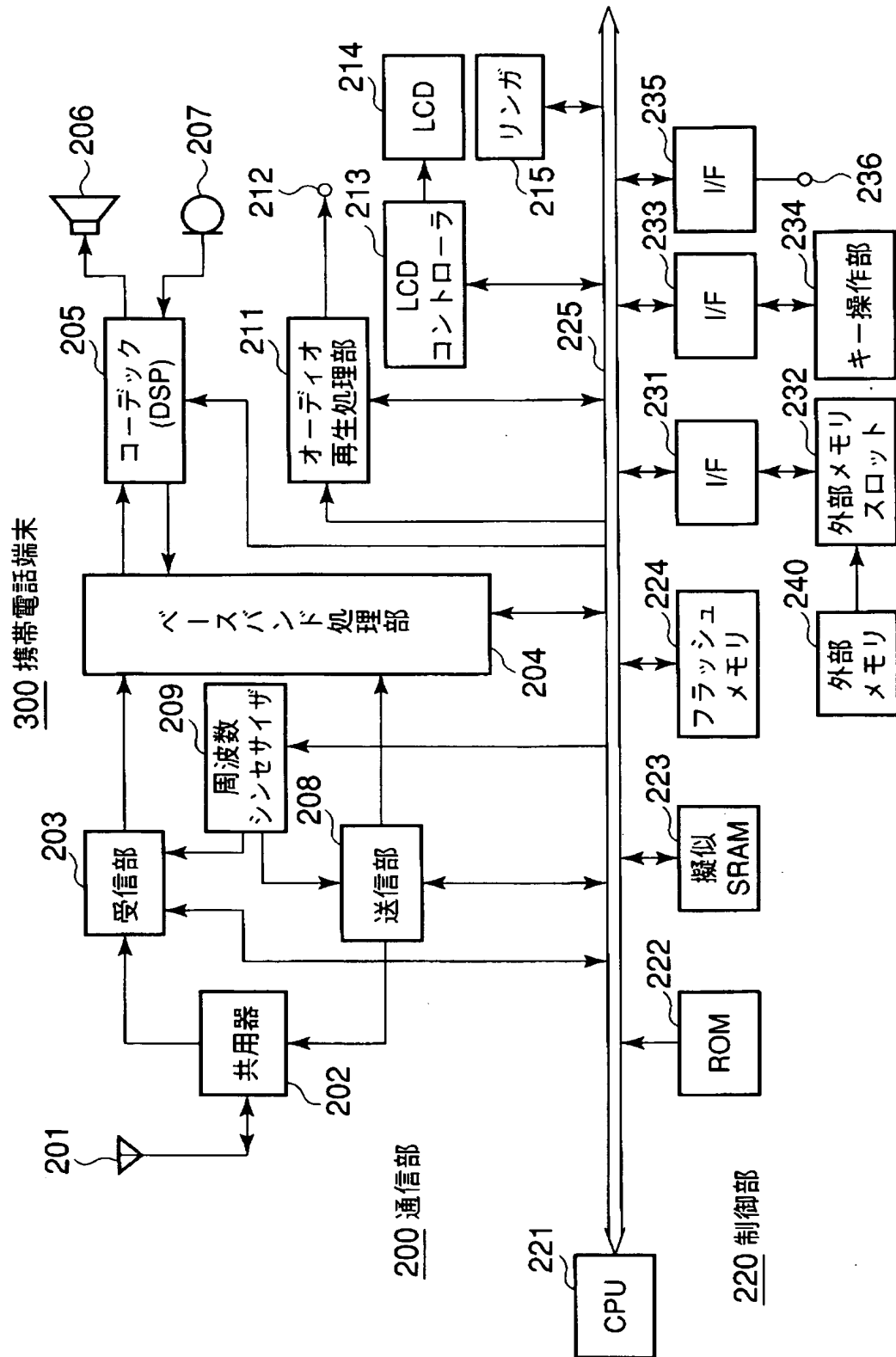
【図 8】



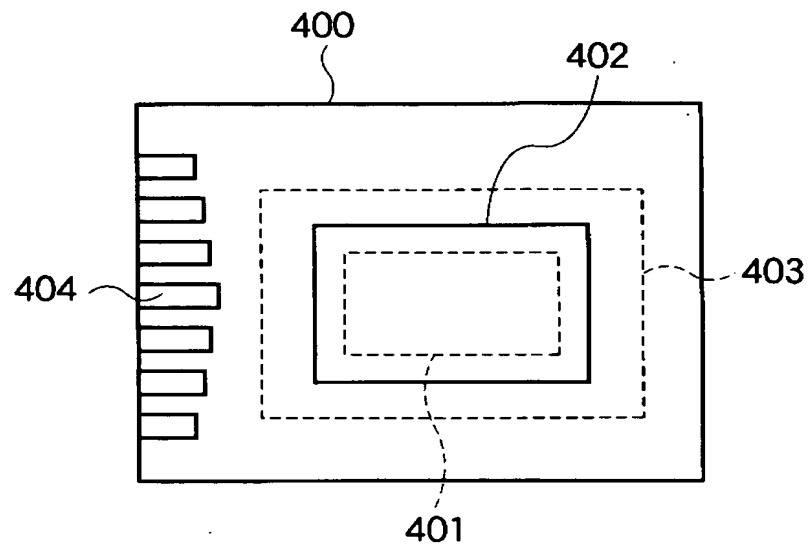
【図 9】



【図10】

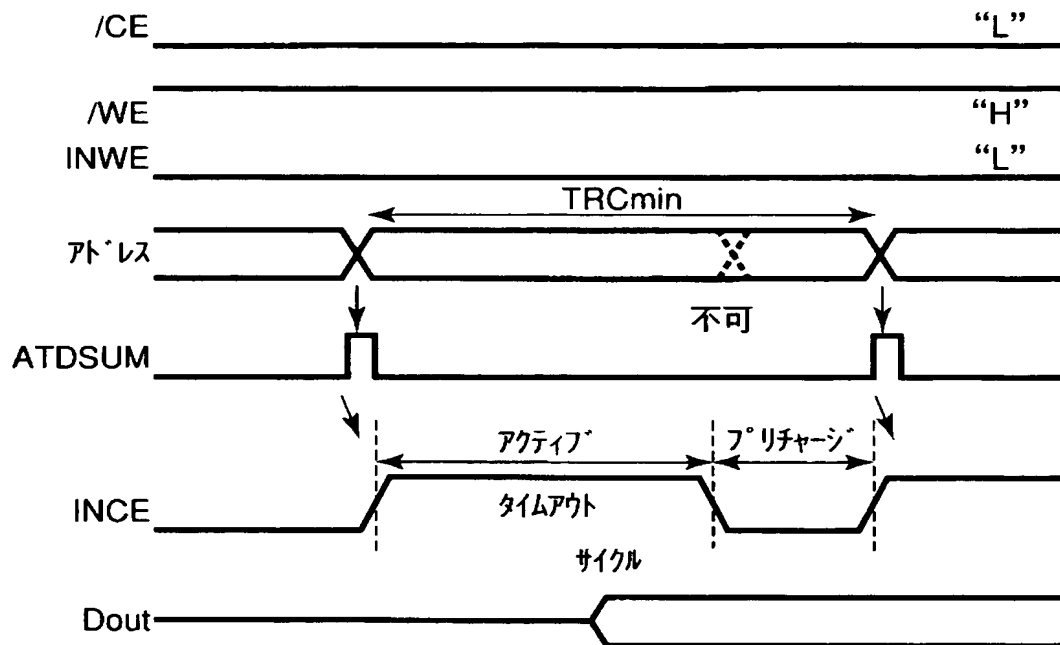


【図 11】

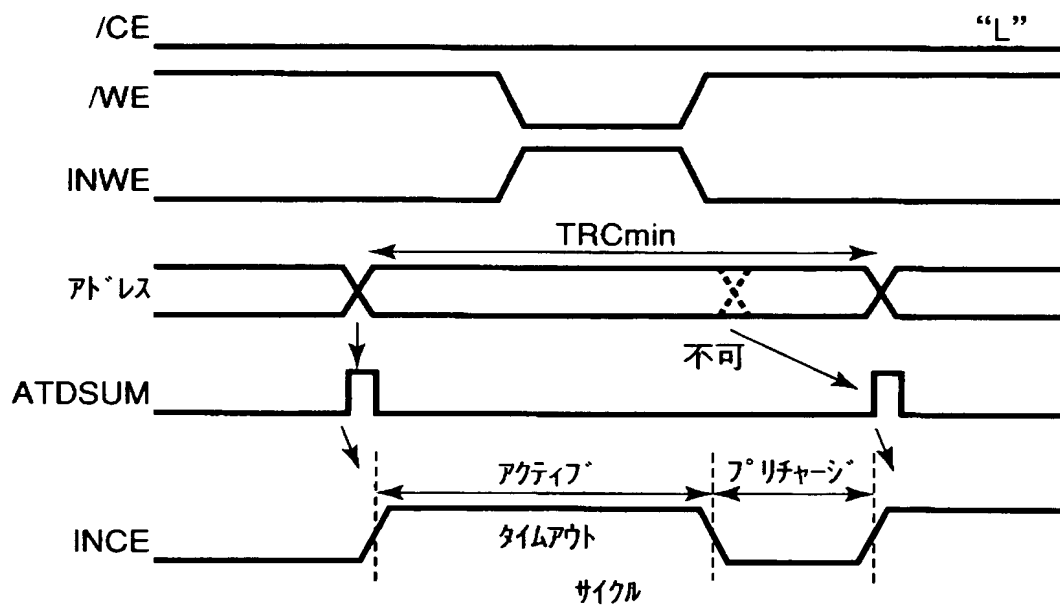


【図 12】

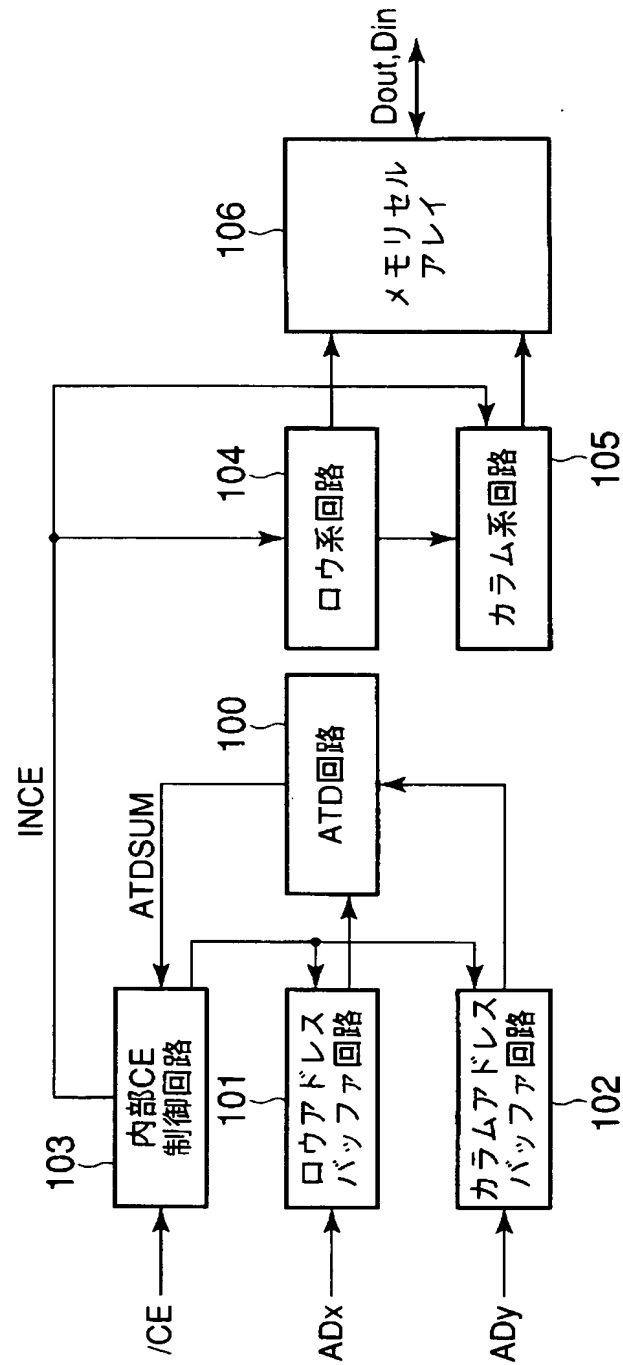
(a) Read



(b) Write



【図 13】





**【書類名】要約書****【要約】**

**【課題】** アドレスの入力制限をなくしつつ消費電力の削減が図れる半導体集積回路装置及びそのアクセス方法を提供することを目的とする。

**【解決手段】** メモリセルアレイ 19 のアドレスを指示するアドレス信号  $AD_x$ ,  $AD_y$  が入力されるアドレスバッファ 1, 2 と、そのデータをラッチするラッチ回路 3 ~ 6 と、アドレスの遷移を検知するアドレス遷移検知回路 7, 8 とを備え、メモリセルアレイのアクセス動作中は前記動作開始時点のアドレスをラッチ回路にラッチしておき、メモリセルアレイの動作終了後に、その時点でアドレスバッファに入力されているアドレスをラッチ回路に取り込み、ラッチデータと異なったデータであればアドレス遷移検知回路の検知結果に基づいて所定の期間のメモリセルアレイのサイクル動作を制御する制御信号  $CYCLE$  を発生することを特徴とする。

**【選択図】** 図 1

特願 2003-340589

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝